

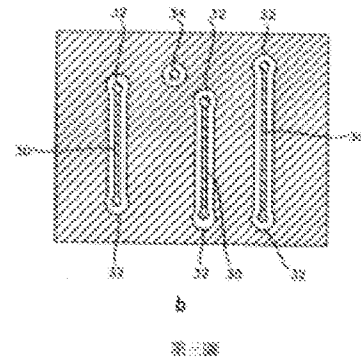
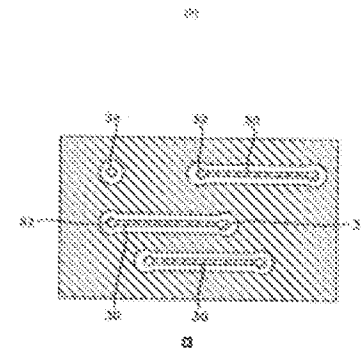
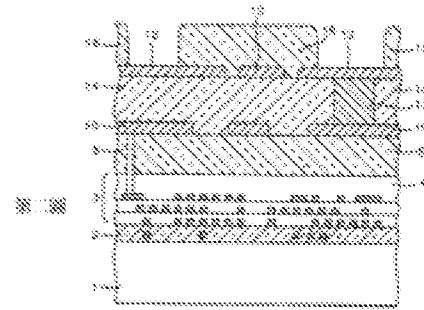
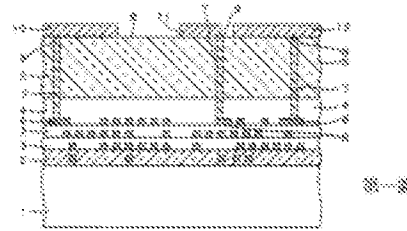
print out

Patent/Publication No. 452930
Title Top layers of metal for high performance IC's
Publication Date 2001/09/01
Application Date 1999/11/25
Application No. 088120584
Certification_Number 140721
IPC H01L-021/768
Inventor LIN, MOU-SHIUNG US
Applicant LIN, MOU-SHIUNG US
Priority Number 19981221 US19980216791

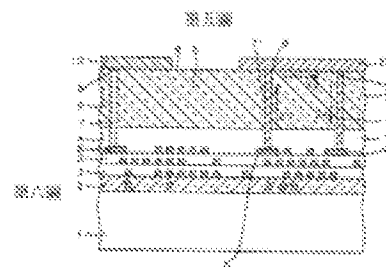
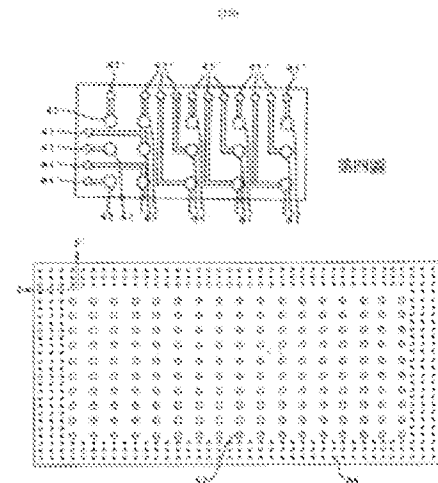
Abstract A method of closely interconnecting integrated circuits contained within a semiconductor wafer to electrical circuits surrounding the semiconductor wafer. Electrical interconnects are held to a minimum in length by making efficient use of polyimide or polymer as an inter-metal dielectric thus enabling the integration of very small integrated circuits within a larger circuit environment at a minimum cost in electrical circuit performance.

Individual T

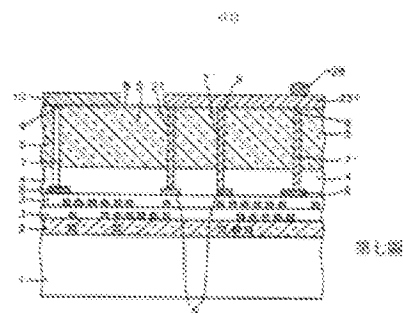
Patent Right Change	Application Number	088120584
	Date of Update	20100108
	Licensing Note	No
	Mortgage Note	No
	Transfer Note	Yes
	Succession Note	No



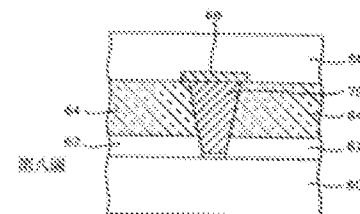
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20010901
Patent expiry date	20191124
Maintenance fee due	20100831
Years of annuity paid	009



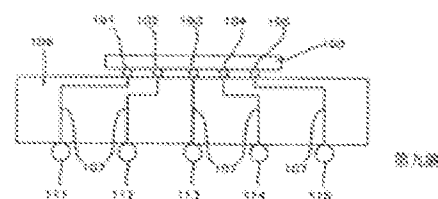
-- 100 --



-- 100 --



圖八



-- 100 --

120

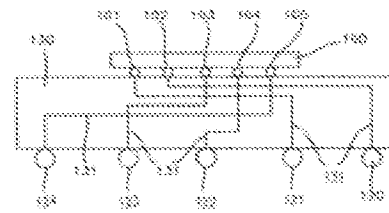


图 18

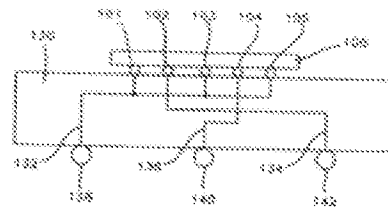


图 19

- 5576 -

公告本

申請日期	88.11.25
案 號	88120584
類 別	H01L 21/768

A4
C4

(以上各欄由本局填註)

452930

發明專利說明書

一、發明 名稱	中 文	高效能積體電路之表層金屬結構及其製造方法
	英 文	
二、發明人 創作	姓 名	林茂雄
	國 籍	美國
	住、居所	新竹市金山十路 28 號
三、申請人	姓 名 (名稱)	林茂雄
	國 籍	美國
	住、居所 (事務所)	新竹市金山十路 28 號
	代 表 人 姓 名	

裝

訂

線

452930

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
美國 1998/12/21 09/216,791

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：

高效能積體電路之表層金屬結構及其製造方法

一種更緊密連接半導體晶圓中積體電路與此半導體晶圓周緣之電路的方法。藉由有效運用聚亞醯胺或聚合物作為內金屬介電層，以建構最小長度之內連線，因而可在最小成本及兼顧電路效能下，整合極小之積體電路與較大之電路環境。

(請先閱讀背面之注意事項再填寫各欄)

裝

英文發明摘要(發明之名稱：

訂

線

五、發明說明 ()

本發明是有關於一種高效能積體電路之製造方法，且特別是有關於一種藉由降低晶片中內連線之寄生電容及電阻，以達到高效能積體電路的方法。

當積體電路的幾何尺寸逐漸縮小，每一晶片之成本亦隨之降低，而某些方面的效能亦隨之改善。然對於用來連接積體電路至其他電路或系統元件之金屬連線，相對來說變得更加重要。而金屬連線隨著積體電路的進一步小型化，將對電路之效能產生逐漸增高的負面衝擊。金屬內連線之寄生電容與電阻之增加，將會顯著降低晶片的效能。此方面影響最大的在於電源及接地匯流排的壓降，以及關鍵訊號路徑的電阻-電容延遲(RC delay)。企圖藉使用線寬較寬之內連線以降低電阻值，將導致線路間的電容增高。

為了解決此問題，目前所採用之方法是發展低電阻之金屬(比如銅)作為線路，以及訊號線路間採用低介電常數之材質。

逐漸增加的輸入-輸出接點伴隨著高效能積體電路的需求增加，導致覆晶構裝技術的研發。覆晶技術係形成凸塊(通常為錫/鉛接合材料)於晶片之鋁焊墊上，而凸塊(bump)直接與構裝載體(package media)相互連接，通常構裝載體為陶瓷類或塑膠類的承載器。覆晶係以面朝下(face down)的方式，以最短路徑與構裝載體接合。此技術不但可以應用在單一晶片之構裝，亦可以運用於層級更高或積集度更高的構裝中，此類構裝使用尺寸較大，並具有更精密複雜之基板，以容納數個晶片，形成更多功能之單元。

覆晶技術係採用面積陣列配置(area array)，其優點在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

於可使得元件獲得更高密度之內連線，並使構裝獲得連線間極低之電感(inductance)。然而，對於構裝前測試(pre-testability)，後段接合之光學檢測(post-binding visual inspection)，及熱膨脹係數(Coefficient of Thermal Expansion, CTE)之匹配，以避免接合凸塊產生疲勞破壞(fatigue)，等問題仍具有挑戰性。將數個構裝接合一起時，比如將陶瓷構裝用表面焊接(surface mounting)配置於塑膠電路板，其間熱膨脹係數之不協調，將在焊料-接腳(solder-lead)的接點上產生很大的熱應力，經過熱循環之操作(thermal cycling operations)，將使得焊料產生疲勞破壞，而造成接點斷裂。

美國專利第 5212403 號(Nakanishi)，即揭露根據線路連接長度，形成邏輯電路之內部與外部連線(在晶片上的線路基板中)之方法。

美國專利第 5501006 號(Gehman, Jr. et al.)則揭露在積體電路與佈線基板間具有介電層之結構。以一配置導線(distribution lead)連接積體電路之焊墊與基板之接合墊。

美國專利第 5055907 號(Jacobs)揭露一種延伸整合半導體結構，使得製造者可以藉由形成一具有多層線路圖案之薄膜於承載基板上及晶片上，以整合晶片周緣外之電路。然而，此參考文獻與本發明大不相同。

美國專利第 5106461 號(Volfson et al.)揭露一種多層金屬連線結構，由聚亞醯胺及金屬層交替疊合而形成，而以軟片型承載器的結構形成於一積體電路上。

美國專利第 5635767 號(Wenzel et al.)揭露塑膠球格陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(λ)

列式封裝(PBGA)分隔多層金屬層，以降低 RC 延遲的方法。

美國專利第 5686764 號(Fulcher)揭露一種覆晶基板，藉由分隔電源線路及輸入/輸出線路以降低 RC 延遲。

本發明的主要目的就是在改善高效能積體電路之效能。

本發明的另一目的在於降低連接積體電路與周邊電路或電路元件之電源供應線的電阻壓降。

本發明的再一目的在於降低高效能積體電路中訊號線路的 RC 延遲常數。

本發明的再一目的在於使積體電路易於縮減尺寸及增加電路密度。

本發明的再一目的在於更進一步促進及加強低電阻導電金屬的應用。

本發明的再一目的在於讓高效能積體電路之使用可以增加其輸入/輸出腳位數。

本發明的再一目的在於藉由減少晶片輸入/輸出連線的重配置線路，以簡化晶片組裝。

本發明的再一目的在於改善高效能體電路與電源匯流排的連接。

本發明的再一目的在於改善高效能積體電路與時脈分佈網路(clock distribution networks)之連接。

本發明的再一目的在於藉由促進較低價格之製程設備的運用以降低積體電路之製造成本。相對於次微米製程要求而言，藉由適於較低等級之潔淨室的應用，可降低積體電路之生產成本。

(請先閱讀背面之注意事項再填寫本頁)

袋
訂
線

五、發明說明(Ⅱ)

本發明的再一目的在於，由於本發明使得晶片上功能電路間的內連線，彼此以相對較大距離配置，而且製程容易達到，成本亦較低。因而將成為未來系統晶片(system-on-chip)設計的驅動力與激勵力量。

本發明還有一目的在於建立電腦輔助佈線工具的準則，其可以根據所需建立之內連線型態，自動形成超過一預定長度之內連線的佈置。

本發明於完成元件製作之晶圓表面，增加一或多層厚的介電層以及一或多層寬的金屬連線。此厚的介電層可以是比如聚亞醯胺(polyimide)或苯基環丁烯(benzocyclobutene)，其厚度比如超過3微米。而寬的金屬連線可以是比如鋁或電鍍銅。這些介電層及金屬層可以用來作為電源匯流排或電源平面，時脈分佈網路，關鍵訊號、覆晶技術應用時的輸入/輸出墊重配置層及長訊號路徑。

圖式之簡單說明：

第1圖所繪示為本發明之內連線結構的剖面圖。

第2圖所繪示為本發明於較複雜電路結構中的剖面圖。

第3a圖所繪示為運用本發明之電源及X訊號平面的組合俯視圖。

第3b圖所繪示為運用本發明之電源及Y訊號平面的組合俯視圖。

第4圖所繪示為利用本發明之接合凸塊配置的俯視圖，及第5圖之部分展開圖。

第5圖所繪示為利用本發明之一實施例，電源/接地墊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(七)

結合訊號墊之俯視圖。

第 6 圖所繪示為本發明之基本積體電路內連線結構。

第 7 圖所繪示為增加電源、接地及訊號配置功能的基本積體電路結構之延伸部分。

第 8 圖所繪示為如何由次微米之金屬轉變為寬金屬內連線的一種方式。

第 9 圖所繪示為有關利用本發明之球格陣列式封裝件的展開細部圖。

第 10 圖所繪示為有關利用本發明之球格陣列式封裝件改變連接墊位置的細部圖。

第 11 圖所繪示為有關利用本發明之球格陣列式封裝件中，使用共同電源、接地及訊號墊的細部圖。

實施例

本發明揭露一種積體電路結構，其中在一習知積體電路上增加關鍵重配置層(key redistribution)，內連線金屬層及介電層。這些重配置層與內連線層使得匯流排較寬，且降低習知的 RC 延遲(RC delay)。

現在請參照第 1 圖，其繪示本發明之一實施例的剖面圖。矽基底 1 具有電晶體及其他元件，其通常以複晶矽形成，其上覆蓋有介電層 2，介電層係以沈積方式覆蓋元件及基底。積層 3 意指整個金屬層與介電層，其通常形成於元件層 2 的表面。導電接點 6，比如是半導體領域中所習稱之焊墊(bonding pad)，位於積層 3 的表面，且其亦為積層 3 的一部份。導電接點 6 係為積體電路佈置中需要進一

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

步連接周邊電路的接點，這些周邊電路為電源線路或訊號線路。保護層 4，材質比如是氮化矽，沈積於積層 3 表面，如同此領域者所知，係用來保護其下方積層，免於濕氣、污染等侵襲。

本發明之關鍵步驟起始於厚聚亞醯胺層 5 之沈積。形成圖案 7，並蝕穿聚亞醯胺層 5 及保護層 4，其中圖案 7 與導電接點 6 的圖案相同。此圖案貫通導電接點 6 至聚亞醯胺層 5 之表面 8。

藉由以一導電體填入開口 7 中，以構成與導電接點的電性接觸。此金屬導體的頂部 9 可作為積體電路與外界之連接，甚至進一步作為與周邊電路整合之用。連接墊 10、11、12 形成於金屬導體 7 的頂部 9 上；這些連接墊可以設計為各種寬度及厚度，以適於各種特定電路設計的需求。舉例來說，較大尺寸的連接墊可以用來作為覆晶用之凸塊墊。而較小尺寸之連接墊可用來作為電源配置層或作為接地或訊號匯流排。第 1 圖中所示連接墊之後續連接比如為：連接墊 10 作為覆晶之凸塊墊；連接墊 11 作為覆晶之凸塊墊，或是連接至電源、接地或是訊號匯流排；連接墊 12 作為覆晶之凸塊墊。第 1 圖所示之連接墊的尺寸大小和可能之電性連接用途並無直接關係。連接墊之尺寸、標準設計規則及電路設計的限制規定決定一既有連接墊之電性連接方式。

下列之註解係有關第 1 圖中連接墊 6 之尺寸及數量。由於導電接點 6 位於薄介電層上(第 1 圖之積層 3)，因此連接墊之尺寸不能太大，否則將導致較大之寄生電容。另

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

外，較大尺寸之連接墊將干擾金屬層之線路繞線(routing)的性能。因此，較佳是採用較小尺寸之連接墊。然而，連接墊 6 之尺寸亦直接與介層窗 7(via)之高寬比(aspect ratio)相關。若基於介層窗之蝕刻與填入的考量，高寬比可接受的數值約為 5。而基於上述之考量，連接墊 6 之尺寸約在 0.5 微米至 3 微米的範圍；實際之尺寸則需依據積層 4 及 5 的厚度來決定。

本發明並非對設計中連接墊的數量增加限制；連接墊數量係根據封裝設計之需求來決定。第 1 圖中積層 4 可以為一般之積體電路保護層。

在此領域的現行狀態下，一般常用於作為保護層的材質為電漿加強化學氣相沈積(PECVD)的氧化矽及氮化矽。形成積層 4 的過程中，先沈積一厚度約 0.2 微米之 PECVD 氧化矽層，再沈積一厚度約 0.7 微米之氮化矽層。由於保護層 4 係用以保護元件品圓免於濕氣及外來離子之污染，所以變得十分重要。此層之製程狀態係介於次微米製程(積體電路製程)及 10 微米製程(金屬內連線結構製程)之間，其具有相當關鍵的重要性。由於此保護層之存在，對於金屬內連線結構的製程而言，可以採用較低等級之潔淨室，因而可使用較低成本之製程。

積層 5 為厚的聚合物介電層(比如為聚亞醯胺)，其具有超過 2 微米之厚度(固化之後之厚度)。聚亞醯胺之厚度範圍介於 2 微米至 30 微米之間，係根據電路設計之需求決定。

積層 5 使用之沈積材質，比如為日立-杜邦公司

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

(Hitachi-Dupont)所生產之聚亞醯胺 HD2732 或 HD2734。聚亞醯胺亦可以用旋塗及固化方式形成。旋塗後之聚亞醯胺層需以攝氏 400 度之溫度，時間 1 小時，且在真空或含氮之環境進行固化(curing)。對於厚度較厚之聚亞醯胺層，可以採用多次旋塗及固化來形成。

另一種可用於積層 5 之材質為聚合苯基環丁烯(benzocyclobutene, BCB)。此種聚合物之生產已商業化，比如 Dow Chemical 公司即有生產此材料，且近來 BCB 用來取代傳統聚亞醯胺產品已獲得業界認同。

關於開口 7 的尺寸，先前已討論過。開口的尺寸與介電層的厚度決定開口之高寬比。高寬比將會影響介層窗的蝕刻步驟，以及金屬填入的能力。因此致使開口 7 的直徑約介於 0.5 微米及 3.0 微米的範圍；而開口 7 的高度約介於 3 微米至 20 微米的範圍。開口 7 高寬比之設計應致使介層窗之金屬得以填入。介層窗可以填入化學氣相沈積(chemical vapor deposition, CVD)之金屬，比如是 CVD 鎢或 CVD 銅；亦可填入無電鍍鎳，或以金屬鑲嵌填入製程(damascene metal filling process)進行，或是電鍍銅等等。

需要說明的是，以聚亞醯胺薄膜作為介電層，可以提供介電層表面的部分平坦化。在本發明中，聚亞醯胺提供下列特性：

--它可以形成之表面，使得下層形狀的階梯高度降低，並使得階梯斜率較為和緩平順。

--它可以填入較小的開口，而不會產生空孔(void)，而空孔卻會在低溫化學氣相沈積氧化矽時形成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

--固化後之聚亞醯胺薄膜可以承受攝氏 500 度以上之高溫，而不會降低其介電特性。

--聚亞醯胺薄膜之電性崩潰性質僅略低於氧化矽。

--聚亞醯胺的介電常數低於氧化矽及氮化矽。

--聚亞醯胺薄膜的沈積與圖案定義相對來說簡單許多。

基於上述之特性，在本發明之範疇中建議並使用聚亞醯胺。

第 2 圖所繪示為如第 1 圖所示之本發明，可以進一步延伸包括多層聚亞醯胺，藉此可以適於多種應用。此剖面圖中下層的建構方式與第 1 圖所示相同，包括矽晶圓 1，複晶矽層 2，金屬與介電層組合層 3，保護層 4，聚亞醯胺層 5，以及連接墊 10 沈積於積層 5 之表面。第 1 圖中之結構功能已敘述於前，而其可以進一步沈積另一層聚亞醯胺，在先前之積層 5 上，並覆蓋連接墊 10。藉由選擇性蝕刻及金屬沈積進一步形成導電接點 12。這些導電接點 12 如圖所示可藉由導電體 13 與連接墊 10 連接。後續進一步延伸之製程為沈積連接墊 12 於積層 14 上。這些連接墊 12 還可以針對一些特殊產品應用而設計，前述延伸的多層聚亞醯胺可以加強本發明之製造彈性(flexibility)及應用性(usefulness)。視實際需要，可以在積層 12 及 16 上增加交疊之聚亞醯胺層及金屬連線層，以及/或電源或接地平面。

第 3a 及 3b 圖所繪示為本發明之一種應用的俯視圖。連接如前所述之多個連接墊 32，可以形成訊號線 30。額外的導電接點，比如接點 34，使得訊號線垂直穿過層與層

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

之間。各種導電接點可以形成於電源平面或接地平面 36 之表面。本發明金屬內連線結構中的積層包括 X 方向的訊號內連線，Y 方向之訊號內連線，X 及/或 Y 方向之間的訊號內連線，連接電源及/或接地匯流排之內連線，以及電源及/或接地匯流排中之內連線。本發明更教導連接的積體電路間，訊號線、電源及接地匯流排的連接，以及本發明金屬連線系統的表面配置。

第 3a 圖繪示形成於 X 方向之訊號線；第 3b 圖則繪示形成於 Y 方向之訊號線。

第 4 圖繪示本發明的另一種應用。第 5 圖顯示面積陣列方式(area array)的輸入/輸出佈置；而第 4 圖為第 5 圖的部分放大圖。第 4 圖繪示連接墊 41(錫鉛凸塊可形成於其上)，以及周邊連接墊 41'重配置線路佈置的一個實例。第 4 圖為沿著第 5 圖線 2-2'的放大圖，其中未繪示於第 5 圖之周邊連接墊 41'的重配置線路(見第 4 圖)，可以更清楚的顯示出來。電源或接地的連線可以直接垂直連接至任何下方元件所需之接點。此外，電源及接地平面可以直接垂直連接至封裝基板(package substrate)的電源及接地平面。第 4 圖所顯示為利用最上層金屬層重配置周邊連接墊 41'，使其成為面積陣列配置之連接墊 41 的一種實例。接著，於連接墊 41 上便能形成錫鉛凸塊。

第 5 圖所繪示為一平面之表面，其包括電源或接地連接墊 52 及訊號連接墊 54 之組合設計圖案。第 5 圖亦顯示表面介電層的連接墊開口。需要說明的是，接地/電源連接墊 52 在設計上，相對訊號連接墊 54 而言，尺寸較大且

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

亦佔較大面積。在晶片技術之需求或高效能電路設計上，本發明均能滿足這些不同設計的需求。當晶片中具有電源及/或接地平面，則第 5 圖中繪示之電源或接地連接墊的數量即可以減少。藉此可以清楚地明瞭，在本發明的精神範圍下，封裝的輸入/輸出數目可以減少，而藉由消除封裝中共同訊號/電源/接地的連線，可以降低封裝成本。舉例來說，在本發明的精神範圍下，一個 470 個輸入/輸出腳位的球格陣列式封裝晶片(Ball Grid Array, BGA)，利用本發明可以減少至 256 個腳位。對整體封裝而言，如此作法對成本之節省是相當可觀的。

第 6 圖繪示本發明基本的設計優點。此優點使得次微米或細導線可以緊鄰金屬層 3 及導電接點 6 而形成，比如透過金屬內連線 7'而朝向方向 20 向上延伸；接著在金屬內連線 26 的水平平面向方向 22 延伸，然後透過金屬內連線 7''朝向方向 24 向下繞回。保護層及介電層 5 的構建及功能，如先前第 1 圖介紹中所強調的。本發明基本之設計優點在於：提高(elevate)並展開(fan out)細導線之內連線，採用較大之尺寸的金屬內連線，取代微米及次微米級的金屬內連線，因此具有較小之電阻及電容，且使製造更容易，花費更有效率。本發明之觀點中並未包含任何有關導線重配置佈置的觀點，因此本發明基本上即具有簡單化之特質。因此，其更增加本發明之重要性：本發明使得微米及次微米的連線可達到寬金屬的層級(wide-metal level)。金屬內連線 7'及 7''連接細金屬層級(fine-metal level)之連線，然後向上穿透保護層及聚合物或聚亞醯胺介電層，而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

以寬金屬層級橫向延伸一段距離，接著再向下穿透保護層及聚合物或聚亞醯胺介電層，從寬金屬層級之連線下降連接至細金屬層級連線。以此種方式完成之延伸方式，並不限制於以寬金屬連線 26 延伸某些特定型態之細金屬內連線接點 6，比如訊號接點，電源接點或接地接點。一些物理上或電子學上的法則將會造成某些限制，若由任何關於何種金屬連線可以用此方式來建構的限制參數，均與習知限制參數無異，包括電阻、傳播延遲(propagation)，電阻-電容常數(RC constant)等。然而本發明之重要性在於，本發明提供運用這些法則時，更寬廣之容許度，藉此大幅延伸積體電路之應用，及寬金屬環境的適用。

第 7 圖所顯示為本發明之基本內連線觀點更可以延伸，不但提高細金屬連線至寬金屬平面，還可以利用寬金屬層級增加電源、接地及訊號平面的電源、接地及訊號配置連線。第 6 圖中之寬金屬內連線 26 在此延伸，進一步包括與介層窗 21 之連結。在傳統積體電路設計中，對於後續電路組裝步驟中所需之接點位置，有些連接墊並不會配置於易於線路展開的位置。此時，球格陣列式封裝基板則需在封裝結構中增加數層線路積層，以利線路之展開。本發明即教導一種解決方法，使得組裝積體電路時可以增加數層線路積層，而不會過度增加成本，比如採用多層介面。錫球 28 形成於內連線 23 的表面，顯示本發明可取代習知球格陣列式基板(BGA substrate)中內連線的部分功能，而錫鉛凸塊則可用於覆晶組裝技術(flip chip assembly)。內連線 28 係以寬金屬層級連接周緣電路與球

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(17)

格陣列式封裝元件，與過去球格陣列式封裝元件連接在細金屬層級內連線是大不相同的。球格陣列式封裝的寬金屬內連線，在製造成本上與改善球格陣列式封裝的效能上，具有顯著的優點。由於可以擴張寬金屬連線之尺寸，對於電源、接地及訊號線路之連接亦可採寬金屬層級之連線，藉此可以降低細金屬層級中實行此功能之複雜性與成本。標號 28 係為一鉀球，但並非暗示本發明僅侷限於以錫鉛凸塊作為內連線。本發明亦可以用打導線(wirebonding)方式作為電路之連接。

第 8 圖繪示一剖面圖，其中前述穿透保護層與介電層之金屬內連線的線型結構，在此改為圓錐狀之型態。一保護層 62 覆蓋於次微米金屬層 60 上，一聚亞醯胺層或聚合物層 64 沈積於保護層 62 上。寬金屬層 66 形成於積層 64 之表面。如圖所示介層窗 70 具有斜角側壁，藉由控制形成介層窗 70 的微影製程，即可形成此斜角側壁。舉例來說，聚亞醯胺或聚合物的蝕刻可以在約 75 度的角度下進行，而後續固化步驟可在約 45 度的角度下進行。感光型態之聚亞醯胺或聚合物亦可以運用於此，然而此時介層窗 70 的圓錐外型係藉由改變曝光型態，曝光時間及曝光角度來達成。當使用非感光型態之聚合物或聚亞醯胺時，可利用濕式蝕刻，其具有在介層窗 70 頂部蝕刻逐漸變快及蝕刻時間漸長的性質，則可獲得介層窗 70 之頂部部分。寬金屬連接墊 68 形成於聚合物或聚亞醯胺層 64 的表面，而寬金屬連接墊 68 之沈積對準介層窗 70 之上表面，並以此上表面為中心。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

第 9 圖至第 11 圖所繪示為更進一步以實例詳細解說球格陣列式封裝晶片的銲球展開、銲球墊的重配置及共同接地、電源、訊號連接墊形成的概念。

第 9 圖繪示球格陣列式封裝晶片 100 之剖面圖，同時亦繪示五個銲球 101 至 105。藉由球格陣列式封裝基板 106 之使用，與基板 106 中的線路 107，可清楚的瞭解，銲球 101 可以重新配置於位置 111，銲球 102 重新配置於位置 112 等等(包括剩下的錫鉛凸塊 103 至 105)。吾人亦可以清楚地看到，導電接點 111 至 115 的間隔遠大於原來錫鉛凸塊 101 至 105 的間隔。球格陣列式封裝基板 106 為本發明之標的，此基板用以展開球格陣列式封裝元件的導電接點或銲球間距，以達到相當之程度。

第 10 圖繪示連接墊重新配置的概念。球格陣列式封裝的銲球墊 120，可以連接至導電銲球 101 至 105 其中任何一個。藉由球格陣列式封裝基板 130 之使用，與基板中所提供的線路 131，可清楚的瞭解，球格陣列式封裝的銲球墊根據後續電路設計及封裝的需求，可以做各種不同或任意順序的配置。比如，位於球格陣列式封裝元件 100 最左邊的導電接點 101，重配置於球格陣列式封裝基板 130 右邊算過來第二的位置 121。其他球格陣列式封裝的錫鉛凸塊的重新配置方式，可以輕易的藉由觀察基板 130 中的線路 131，以及追蹤錫鉛凸塊至球格陣列式封裝基板中導電接點 122 至 124 其中之一的路徑，即可明瞭。此種連接墊重新配置之概念，可以應用本發明之金屬連線系統來取代封裝基板之功能。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

第 11 圖繪示球格陣列式封裝元件錫鉛凸塊連接至共同電源、接地或訊號連接墊的內連線。球格陣列式封裝晶片 100，如圖所示，一樣具有五個錫鉛凸塊 101 至 105。球格陣列式封裝基板 130 在此實施例中的線路設計具有三個線路單元，一作為電源，一作為接地，一作為球格陣列式封裝元件的訊號凸塊。由第 11 圖清楚的顯示，線路 132 之配置係連接球格陣列式封裝元件之錫鉛凸塊 101、103 及 105 至球格陣列式封裝基板 130 之接點 138。同時亦可以看到球格陣列式封裝元件之錫鉛凸塊 104，藉由配線 136 連接至球格陣列式封裝基板 130 之接點 140，而球格陣列式封裝元件之錫鉛凸塊 102，藉由配線 134 連接至球格陣列式封裝基板 130 之接點 142。在此例中，球格陣列式封裝元件 100 之內連線所需之腳位數由 5 降低至 3。吾人可清楚的瞭解，對於實際球格陣列式封裝元件而言，球格陣列式封裝錫鉛凸塊的數量愈多，則前述線路配置所衍生之數量效應將更為有利。此種連接共同電源，接地或訊號可以利用本發明的金屬內連線系統來取代封裝基板。

本發明的部分優點包括：

- (1)由於使用較寬之金屬連線(導致較低之電阻)，以及內連線間採用較厚之介電層(導致較低之電容及降低 RC 延遲)，可改善積體電路內連線之訊號傳輸速度。而積體電路內連線訊號傳輸速度之改善使高效能積體電路之效能亦得以改善。
- (2)由於無需如習知次微米積體電路製造之昂貴設備，因此可提供一成本較低之製程。同時其亦無需如次微米元件製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(16)

造所需之潔淨室設備。

(3)由於本發明可免除習知積體電路封裝中所需之多餘的輸入/輸出及多個電源和接地接點，因此可降低封裝成本。

(4)可縮小積體電路封裝的尺寸，且與其他電路或系統元件連接，不會限制積體電路之效能。

(5)由於可以減低對於極細線路的依賴性，使得更能容易地運用低電阻導線。

(6)由於本發明可應用於較多輸入/輸出腳位的元件，因此可以構建更複雜之積體電路結構。

(7)無須大量增加封裝輸入/輸出連線的重配置線路即可構建較複雜之積體電路。

(8)積體電路設計中，電源匯流排與時脈分佈網路更容易整合。

(9)對於晶片上，彼此間距較大之功能電路間的內連線，本發明可提供更便利及成本效率高(cost effective)的內連線，因此更有利於未來系統晶片的設計。

(10)建立電腦輔助佈線工具的準則，其可以根據所需建立之內連線型態，自動形成超過一預定長度之內連線的佈置。

(11)提供球格陣列式封裝標準化的方法。

(12)對於後續電路之連接，可同時適用於錫鉛凸塊及打導線的型態。

(13)提供球格陣列式封裝元件中錫鉛凸塊展開的方法，因此更適於球格陣列式封裝元件的設計及封裝。

(14)提供球格陣列式封裝元件連接墊的重配置方法，因此

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

對球格陣列式封裝元件的設計及封裝，提供更多的彈性空間。

(15)提供球格陣列式封裝元件共同電源、接地及訊號線路接線的方法，因此減少球格陣列式封裝元件與周圍電路連接所需之腳位數。

(16)藉由斜角介層窗的應用，在設計電路介層窗時，提供更寬鬆的設計法則。

(17)提供一種方法，使得延伸細導線內連線至一寬線路內連線，無須使用一保護層於細導線結構之表面。

雖然本發明已以一較佳實施例揭露如上，且其型態已詳細呈述於上。然熟習此技藝者應知在不脫離本發明之精神或後述申請專利範圍的範疇內，當可作各種之更動與潤飾。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種表層金屬結構的形成方法，應用於一高效能積體電路中，包括：

形成一積體電路包括複數個元件形成於一半導體基底上，並覆有一金屬內連線結構連接該些元件，且該第一金屬內連線結構包括複數條金屬連線，並且包含至少一層金屬積層；

沈積一保護層於該金屬內連線結構上；

沈積一介電隔離層於該保護層上，其中該介電隔離層之厚度相當程度地厚於該保護層；

形成複數個開口穿過該介電隔離層及該保護層，以暴露出該金屬內連線結構之上層金屬部分；

沈積複數個金屬介層窗於該些開口中；以及

形成該表層金屬結構連接該第一金屬內連線結構，其中該表層金屬結構包括複數條表層金屬連線，位於至少一積層中，每一該些表層金屬連線之寬度相當程度地寬於該第一金屬連線之寬度。

2.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構連接該金屬內連線結構之一部份至該金屬內連線結構之另一部份。

3.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個訊號線路，該訊號線路之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

4.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個電源平面，其具有

六、申請專利範圍

複數個電源匯流排，且該些電源匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

5.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個接地平面，其具有複數個接地匯流排，且該些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

6.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個訊號線路與複數個電源匯流排，且該些訊號線路與該些電源匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

7.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個訊號線路與複數個接地匯流排，且該些訊號線路與該些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

8.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個電源匯流排與複數個接地匯流排，且該些電源匯流排與該些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

9.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該金屬內連線結構包括複數個導電接點。

10.如申請專利範圍第 9 項所述之表層金屬結構的形成方法，其中該些導電接點之尺寸約略介於 0.3 微米與 5.0

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

微米的範圍間。

11.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氧化矽。

12.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氮化矽。

13.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該保護層包括一電漿加強化學氣相沈積之氧化矽，其厚度約介於 0.15 至 2.0 微米的範圍間，以及一電漿加強化學氣相沈積之氮化矽沈積於該氧化矽上，其厚度約介於 0.5 至 2.0 微米的範圍間。

14.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該介電隔離層係為一聚合物介電層及其他適用之介電材料之其中一種。

15.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該介電隔離層包括聚亞醯胺。

16.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該介電隔離層包括聚合苯基環丁烯。

17.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該介電隔離層固化後之厚度約介於 1.0 至 30 微米的範圍間。

18.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該介電隔離層係以旋塗及固化形成。

19.如申請專利範圍第 1 項所述之表層金屬結構的形成

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

方法，其中該介電隔離層經過旋塗方式形成後，係以約攝氏 250 至 400 度，時間約 0.5 至 1.5 小時進行固化，且該固化程序在一真空環境及氮氣環境其中之一進行。

20.如申請專利範圍第 15 項所述之表層金屬結構的形成方法，其中該介電隔離層係經由多道旋塗及固化製程步驟而形成。

21.如申請專利範圍第 20 項所述之表層金屬結構的形成方法，其中該介電隔離層經過每一該些旋塗製程步驟後，係以約攝氏 250 至 400 度，時間約 0.5 至 1.5 小時進行固化，且該固化程序在一真空環境及氮氣環境其中之一進行。

22.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該些開口具有一高寬比約介於 1 至 10 的範圍間。

23.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該些金屬介層窗係選自於由濺鍍之鋁、化學氣相沈積之鎢、化學氣相沈積之銅、電鍍之銅及無電鍍之鎳所組成之族群中的一種材質。

24.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該些金屬介層窗係以金屬鑲嵌(damascence)的方法形成。

25.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個導電連接墊於該表層金屬層上，其中該些導電連接墊包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

類似材質。

26.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬層包括複數個導電連接墊，其中該些導電連接墊包括複數個訊號連接墊，且該些訊號連接墊包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他類似材質。

27.如申請專利範圍第 1 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個導電連接墊於該表層金屬層上，該些導電連接墊包括複數個訊號連接墊，複數個電源連接墊及複數個接地連接墊，其中該些訊號連接墊包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他類似材質。

28.如申請專利範圍第 27 項所述之表層金屬結構的形成方法，其中該些訊號連接墊置於該表層金屬結構之周邊區域，且該些電源連接墊與該些接地連接墊置於該些訊號連接墊所包圍的區域，其中該些訊號連接墊包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他類似材質。

29.一種半導體元件結構，包括：

一半導體基底，其包括複數個半導體元件；

一連線金屬化結構，連接該些元件；

複數個導電接點，位於該連線金屬化結構之上表面，且連接該連線金屬化結構；

一保護層沈積於該連線金屬化結構與該些導電點上；

一介電層沈積於該保護層上，其中該介電層之厚度相

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

當程度地厚於該保護層；

複數個開口穿過該介電層與該保護層，向下至該些導電接點之上表面；

複數個金屬導體位於該些開口中；以及

一表層金屬結構連接該些金屬導體。

30.如申請專利範圍第 29 項所述之半導體元件結構，其中該表層金屬結構連接該連線金屬化結構之一部份至該連線金屬化結構之另一部份。

31.如申請專利範圍第 29 項所述之半導體元件結構，其中該表層金屬結構更包括：

複數層介電層；

複數個金屬連線結構形成於該些介電層之間；

複數個導電連接墊位於該些金屬連線結構之表層；

複數個填滿之開口，連接該些導電連接墊與至少一該些金屬連線結構，更連接該些導電連接墊與該些導電接點。

32.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條訊號線路，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

33.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條電源匯流排，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

34.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條接地匯流排，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

35.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條訊號線路與複數條電源匯流排之組合，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

36.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條電源匯流排與複數條接地匯流排之組合，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

37.如申請專利範圍第 31 項所述之半導體元件結構，其中該些金屬連線結構包括複數條訊號線路與複數條接地匯流排之組合，且其寬度相當程度地寬於該連線金屬化結構中之線路寬度。

38.如申請專利範圍第 29 項所述之半導體元件結構，其中該些導電接點之尺寸約介於 0.3 至 5.0 微米的範圍間，其中該些導電接點包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他類似材質。

39.如申請專利範圍第 29 項所述之半導體元件結構，其中該保護層包括一電漿加強化學氣相沈積之氧化矽，其厚度約介於 0.15 至 2.0 微米的範圍間，以及一電漿加強化學氣相沈積之氮化矽沈積於該氧化矽上，其厚度約介於 0.5 至 2.0 微米的範圍間。

40.如申請專利範圍第 29 項所述之半導體元件結構，其中該介電層係為一聚合物介電層及其他適用之介電材料之其中一種。

41.如申請專利範圍第 29 項所述之半導體元件結構，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

其中該介電層包括聚亞醯胺。

42.如申請專利範圍第 29 項所述之半導體元件結構，其中該介電層包括聚合苯基環丁烯。

43.如申請專利範圍第 29 項所述之半導體元件結構，其中該介電層固化後之厚度約介於 1.0 至 30 微米的範圍間。

44.如申請專利範圍第 29 項所述之半導體元件結構，其中該些開口具有一高寬比約介於 1 至 10 的範圍間。

45.如申請專利範圍第 29 項所述之半導體元件結構，其中該些金屬導體位於穿過該介電層與該保護層之該些開口中，並連接該表層金屬結構之該些導電連接墊，與該連線金屬化結構之該些導電接點，該些金屬導體的建構與走線方式，使得該連線金屬化結構之每一該些導電接點直接並依序連接該表層金屬結構的該些導電連接墊之一，藉此形成該連線金屬化結構的該些導電接點之一展開效果，其中該表層金屬結構之該些導電連接墊的間距大於該連線金屬化結構之該些導電接點的間距。

46.如申請專利範圍第 29 項所述之半導體元件結構，其中該表層金屬結構之該些導電連接墊的數量遠大於該連線金屬化結構之該些導電接點的數量。

47.如申請專利範圍第 29 項所述之半導體元件結構，其中該些金屬導體位於穿過該介電層與該保護層之該些開口中，並連接該表層金屬結構之該些導電連接墊，與該連線金屬化結構之該些導電接點，該些金屬導體的建構與走線方式，使得該連線金屬化結構之每一該些導電接點直接

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

但不需依序連接該表層金屬結構的該些導電連接墊之一，藉此形成該連線金屬化結構的該些導電接點之一連接墊重配置效果，其中該連接金屬化結構之該些導電接點的順序與鄰接方式不需同於該表層金屬結構之該些導電連接墊的順序與鄰接方式。

48.如申請專利範圍第 29 項所述之半導體元件結構，其中該些金屬導體位於穿過該介電層與該保護層之該些開口中，並連接該表層金屬結構之該些導電連接墊，與該連線金屬化結構之該些導電接點，該些金屬導體的建構與走線方式，使得該連線金屬化結構中功能相同之該些導電接點共同連接至該表層金屬結構的該些導電連接墊之一或較少之該些導電連接墊，藉此形成該連線金屬化結構的該些導電接點之一縮減效果，其中該表層金屬結構之該些導電連接墊中，特定功能之該些導電連接墊的數量小於該連線金屬化結構之該些導電接點的數量，其中該連接金屬化結構之該些導電接點的順序與鄰接方式不需同於該表層金屬結構之該些導電連接墊的順序與鄰接方式。

49.一種表層金屬結構的形成方法，應用於一高效能積體電路中，包括：

形成一積體電路包括複數個元件形成於一半導體基底上，並覆有一金屬內連線結構連接該些元件，且該金屬內連線結構包括複數條第一金屬連線；

沈積一介電隔離層於該半導體基底上；

形成複數個開口穿過該介電隔離層，以暴露出該金屬內連線結構之上層金屬部分；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

沈積複數個金屬接觸窗於該些開口中；以及

形成該表層金屬結構連接該金屬內連線結構，其中該表層金屬結構包括複數條表層金屬連線位於至少一積層中，每一該些表層金屬連線之寬度相當程度地寬於該第一金屬連線之寬度。

50.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個訊號線路，該訊號線路之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

51.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個電源匯流排，且該些電源匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

52.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個接地匯流排，且該些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

53.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個訊號線路與複數個電源匯流排，且該些訊號線路與該些電源匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

54.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個訊號線路與複數個接地匯流排，且該些訊號線路與該

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

55.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個平面，其具有複數個電源匯流排與複數個接地匯流排，且該些電源匯流排與該些接地匯流排之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

56.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該金屬內連線結構包括複數個導電接點，其中該些導電接點包括任何適用之導電材料，包括鎢、鉻、電鍍銅、無電鍍銅、鋁、複晶矽及其他類似材質。

57.如申請專利範圍第 56 項所述之表層金屬結構的形成方法，其中該些導電接點之尺寸約介於 0.3 至 5.0 微米的範圍間。

58. 如申請專利範圍第 49 項所述之表層金屬結構的形成方法，更包括沈積一保護層於該金屬內連線結構上。

59.如申請專利範圍第 58 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氧化矽。

60.如申請專利範圍第 58 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氮化矽。

61.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該介電隔離層係為一聚合物介電層及其他適用之介電材料之其中一種。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

六、申請專利範圍

62.如申請專利範圍第 49 項所述之表層金屬結構的形成方法，其中該介電隔離層係選自於由聚亞醯胺及聚合苯基環丁烯所組成之族群中的一種材質。

63.一種表層金屬結構的形成方法，應用於一高效能積體電路中，包括：

形成一積體電路包括複數個元件形成於一半導體基底上，並覆有一金屬內連線結構連接該些元件，且該金屬內連線結構包括複數條細導線金屬連線；

沈積一保護層於該金屬內連線結構上；

沈積一介電隔離層於該保護層上，其中該介電隔離層之厚度相當程度地厚於該保護層；

形成複數個開口穿過該介電隔離層及該保護層，以暴露出該金屬內連線結構之上層金屬部分；

沈積複數個金屬接觸窗於該些開口中，藉此形成複數個導電接點於該金屬內連線中，並突出至該介電隔離層之上表面，因而形成複數個高起之金屬內連線導電接點；以及

形成該表層金屬結構連接該金屬內連線結構，其中該表層金屬結構包括複數條表層寬金屬連線位於至少一積層中，每一該些表層金屬連線之寬度相當程度地寬於該細導線金屬連線之寬度，其中該表層金屬結構直接連接該些高起之金屬內連線導電接點，藉此以該些寬金屬連線功能性地延伸並連接該些細導線金屬連線，因而建構該些細導線金屬連線中多個接點間的電性互連。

64.如申請專利範圍第 63 項所述之表層金屬結構的形

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

成方法，其中該表層金屬結構包括複數個訊號線路，該訊號線路之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

65.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個電源平面，且該些電源平面之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

66.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該表層金屬結構包括複數個接地平面，且該些接地平面之寬度相當程度地寬於該金屬內連線結構中之線路寬度。

67.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氧化矽。

68.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該保護層包括電漿加強化學氣相沈積之氮化矽。

69.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該介電隔離層係為一聚合物介電層及其他適用之介電材料之其中一種。

70.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該介電隔離層包括聚亞醯胺。

71.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該介電隔離層包括聚合苯基環丁烯。

72.如申請專利範圍第 63 項所述之表層金屬結構的形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

成方法，其中該介電隔離層固化後之厚度約介於 1.0 至 30 微米的範圍間。

73.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該介電隔離層係以旋塗及固化形成。

74.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該些開口具有一高寬比約介於 1 至 10 的範圍間。

75.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中該些金屬接觸窗係選自於由濺鍍之鋁、化學氣相沈積之鎢、化學氣相沈積之銅、電鍍之銅、電鍍之鎳以及鑲嵌填入之金屬所組成之族群中的一種材質。

76.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，其中穿過該介電隔離層之該些開口具有斜角側壁，其中每一該些開口之頂部較寬。

77.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，功能性及物理性地延伸該表層金屬結構，以連接該金屬內連線結構，其中該表層金屬結構包括複數個接地平面，位於至少一積層中，其中該金屬內連線結構直接連接複數個接地導線，該些接地導線連接複數條細接地導線，藉此以該表層金屬結構之該些寬接地導線功能性地延伸並連接該些細接地導線，因而以該表層金屬結構延伸該金屬內連線結構中之該些細接地導線。

78.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，功能性及物理性地延伸該表層金屬結構，以連接該金屬內連線結構，其中該表層金屬結構包括複數個訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

平面，位於至少一積層中，其中該金屬內連線結構直接連接複數個訊號導線，該些訊號導線連接複數條細訊號導線，藉此以該表層金屬結構之該些寬訊號導線功能性地延伸並連接該些細訊號導線，因而以該表層金屬結構延伸該金屬內連線結構中之該些細訊號導線。

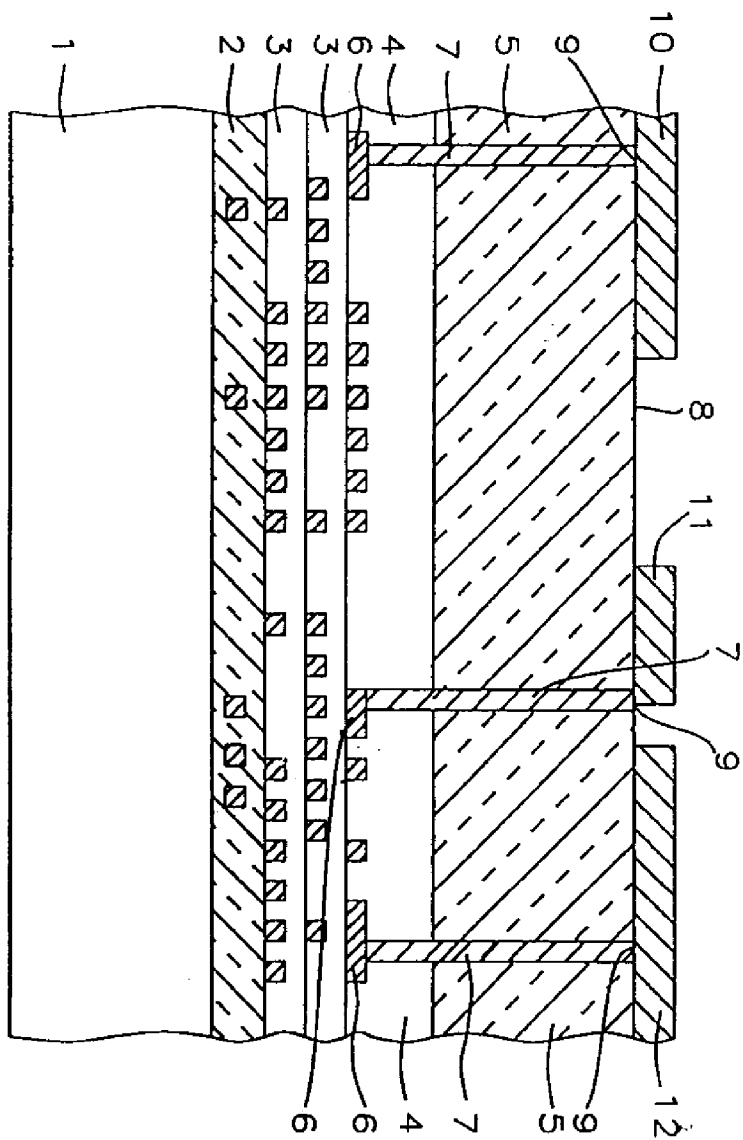
79.如申請專利範圍第 63 項所述之表層金屬結構的形成方法，功能性及物理性地延伸該表層金屬結構，以連接該金屬內連線結構，其中該表層金屬結構包括複數個電源平面，位於至少一積層中，其中該金屬內連線結構直接連接複數個電源導線，該些電源導線連接複數條細電源導線，藉此以該表層金屬結構之該些寬電源導線功能性地延伸並連接該些細電源導線，因而以該表層金屬結構延伸該金屬內連線結構中之該些細電源導線。

(請先閱讀背面之注意事項再填寫本頁)

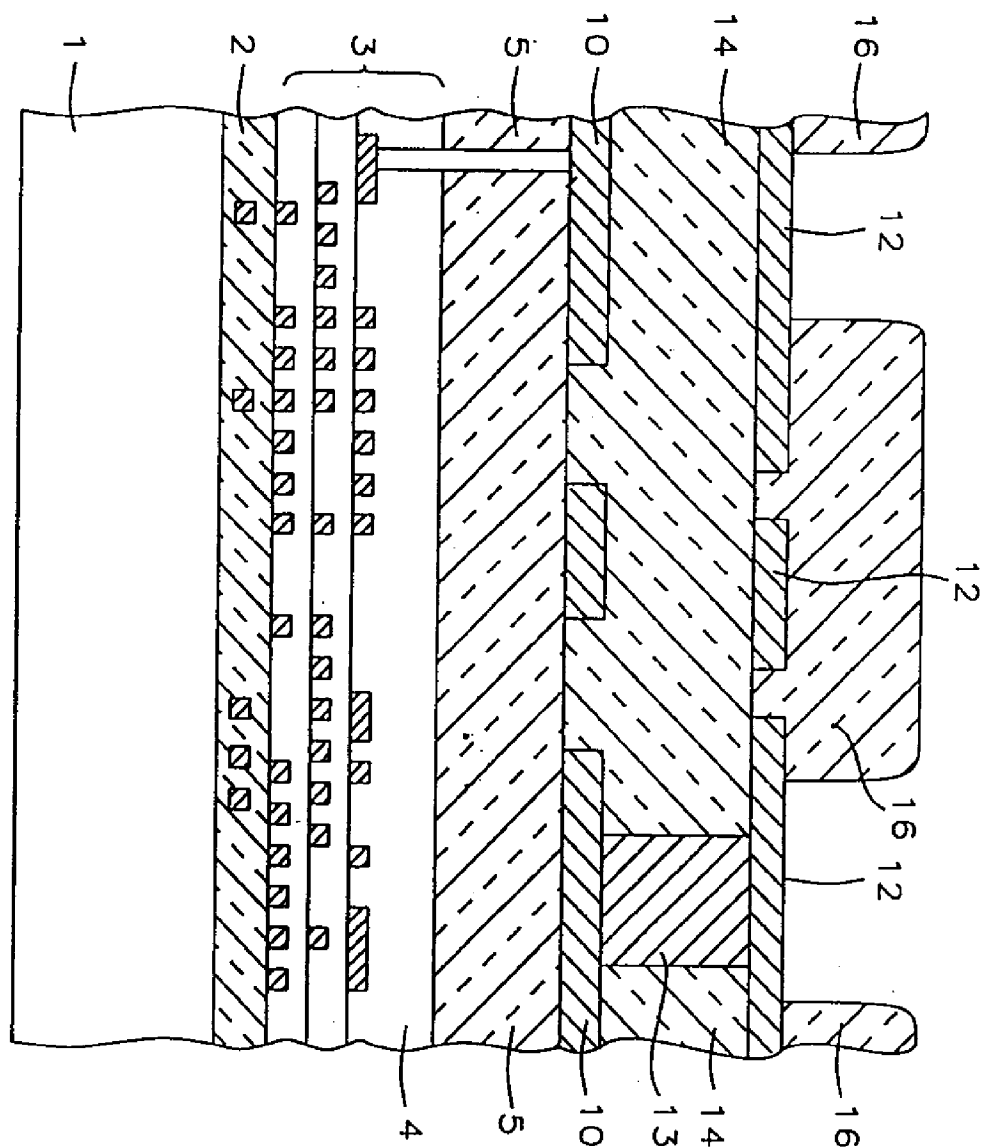
裝

訂

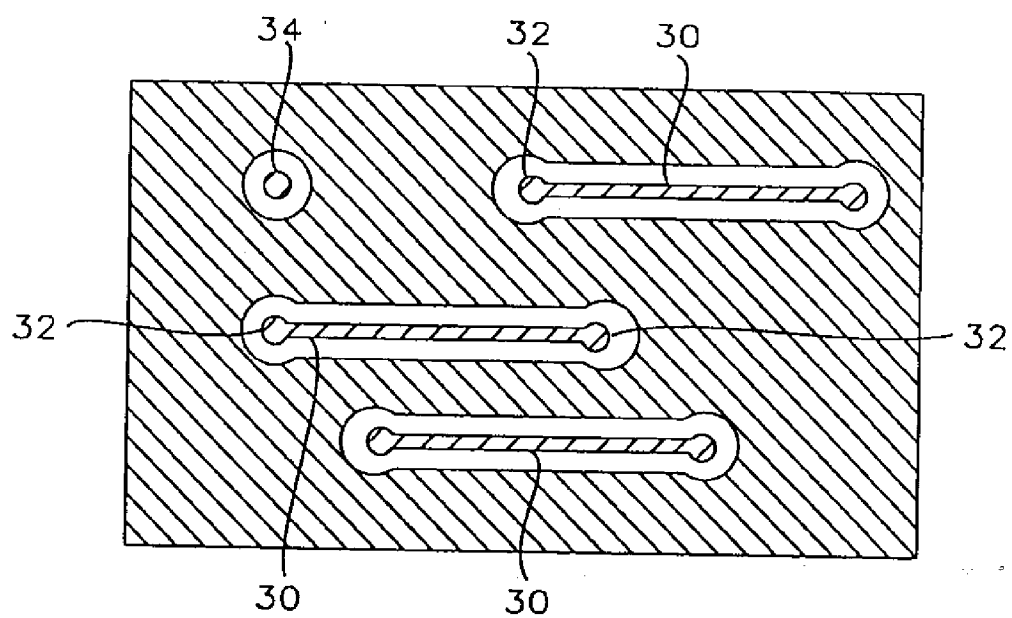
線



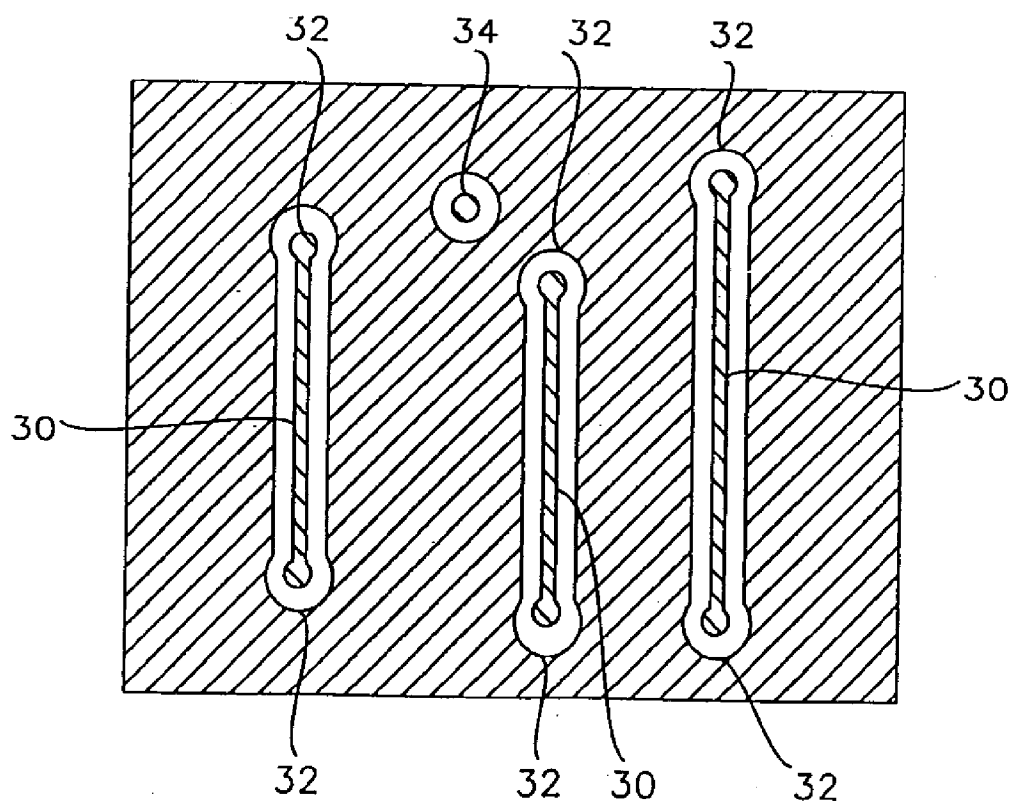
第 1 圖



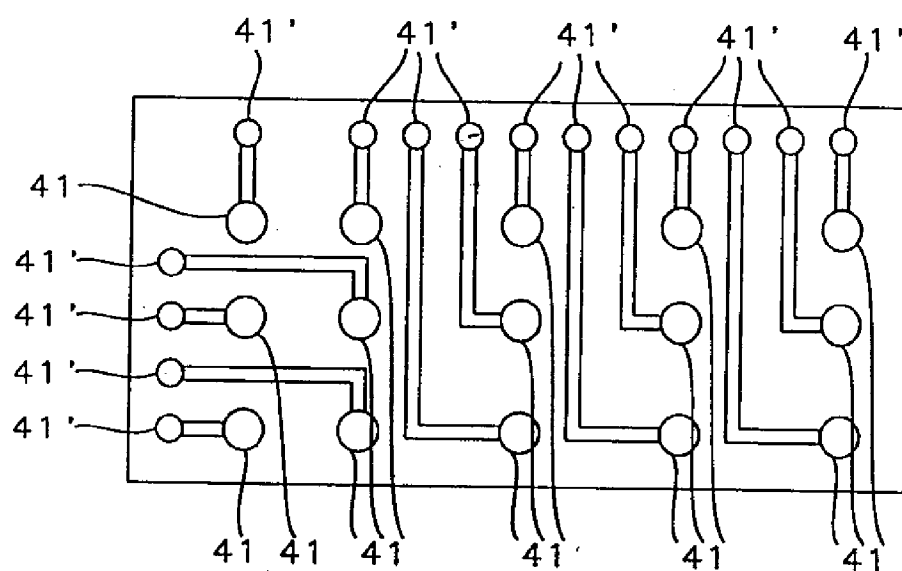
第 2 圖



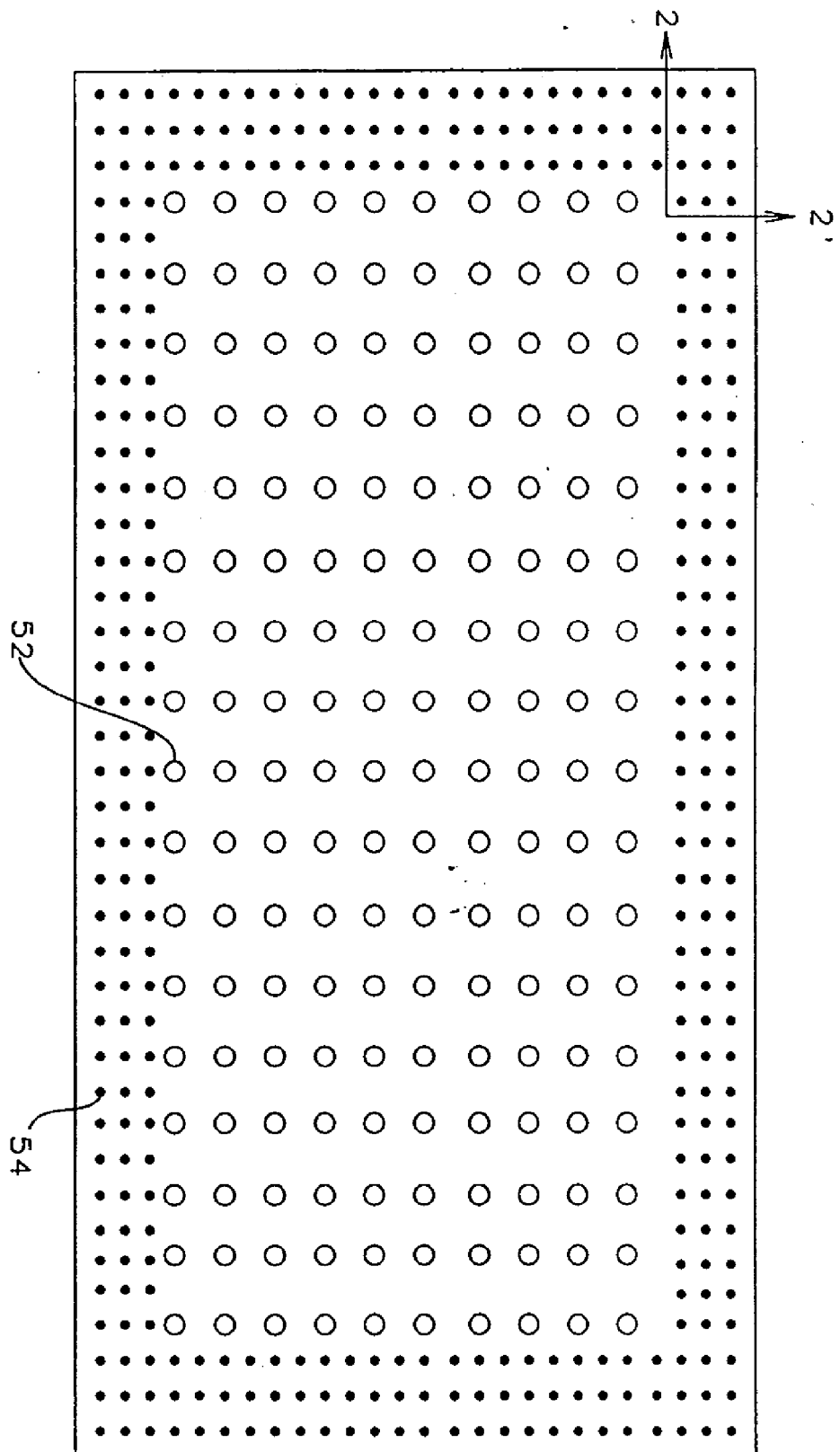
第3a圖



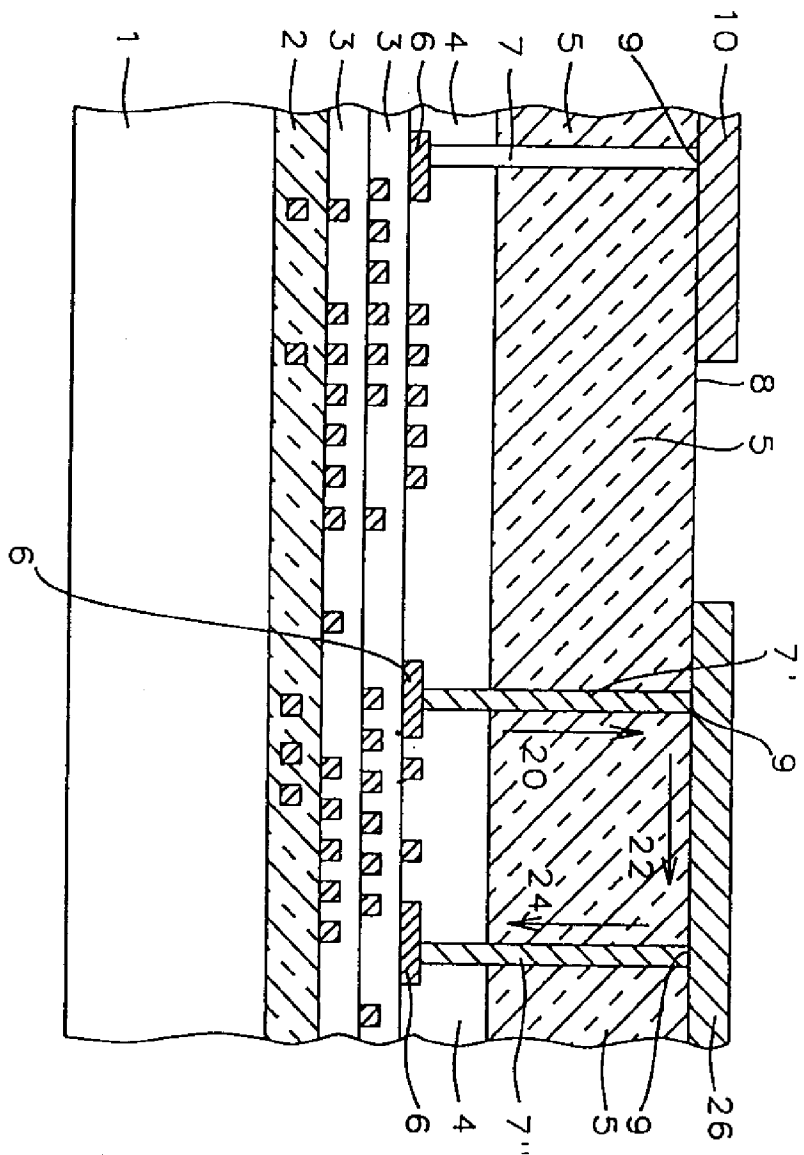
第3b圖



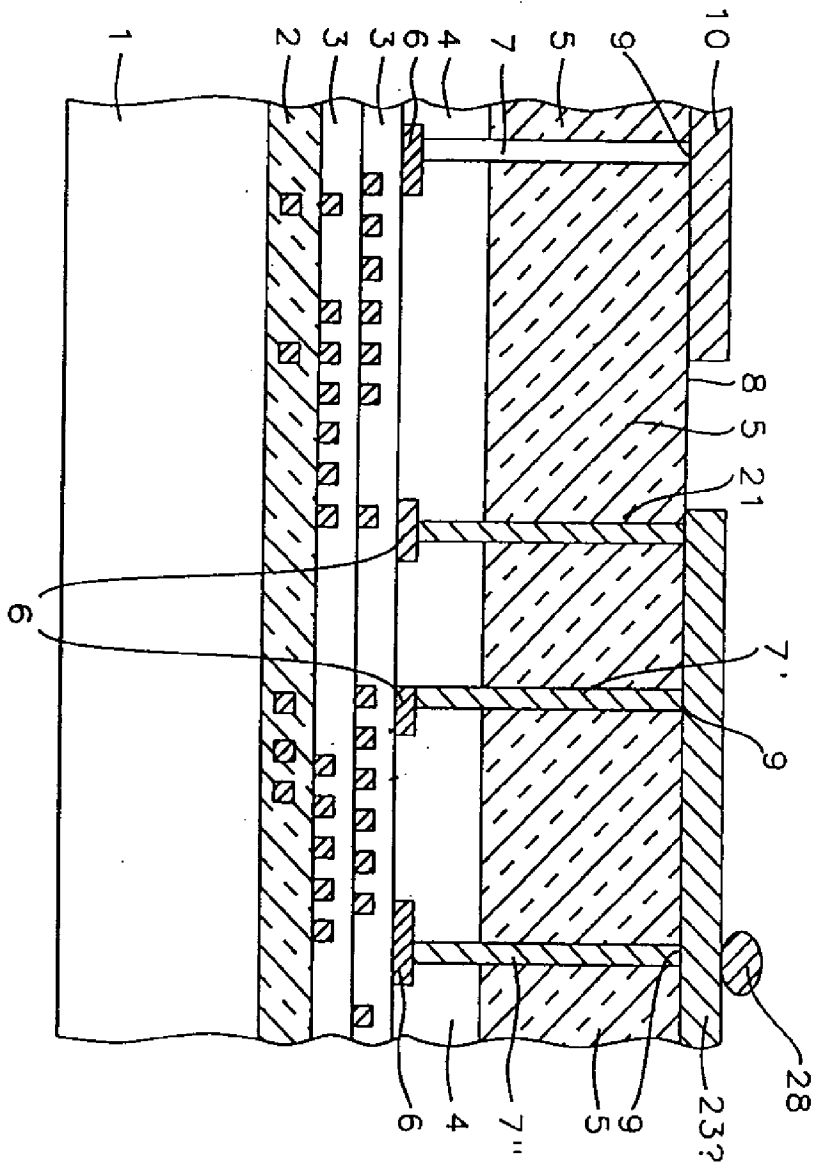
第 4 圖



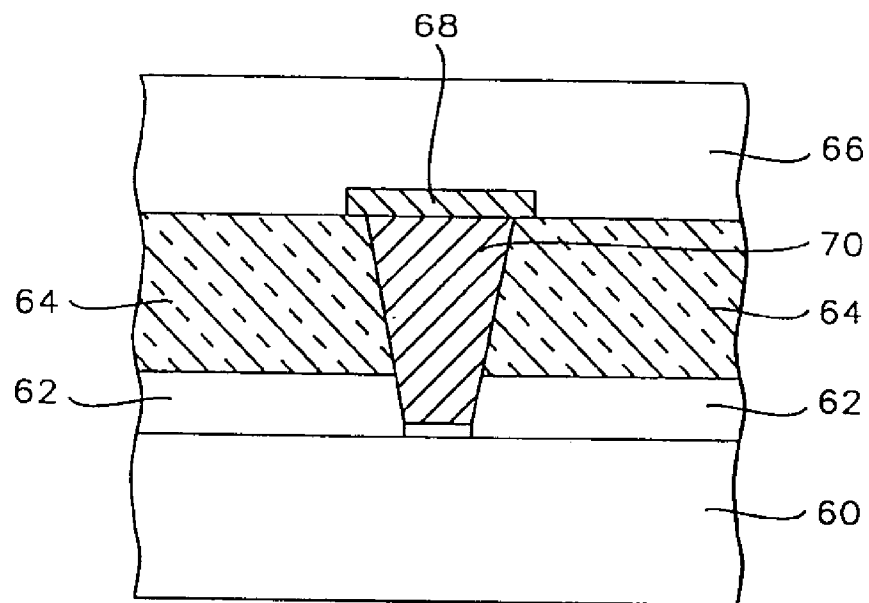
第 5 圖



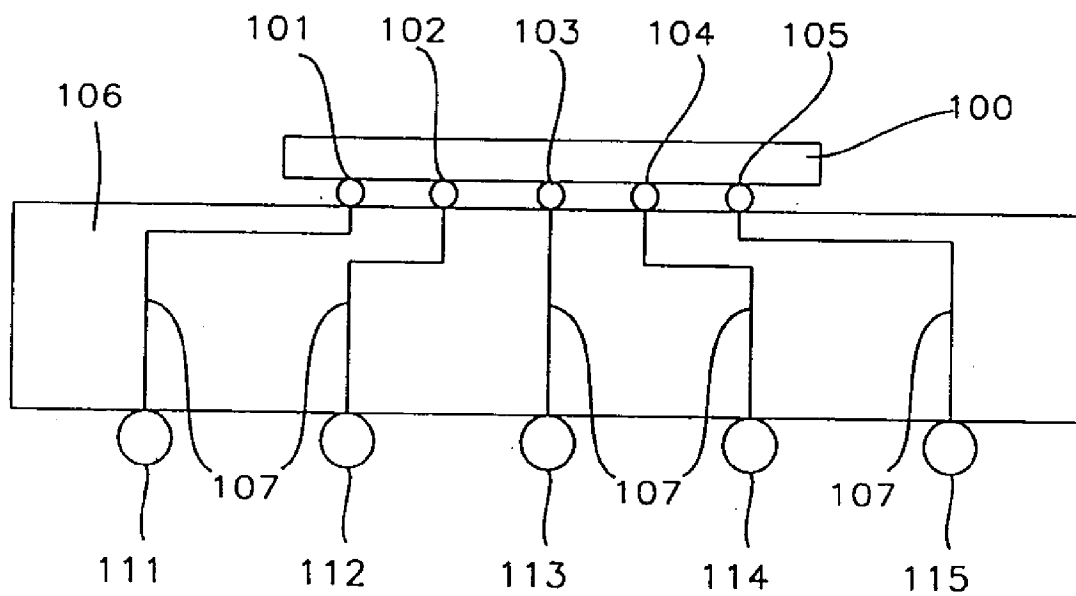
第 6 圖



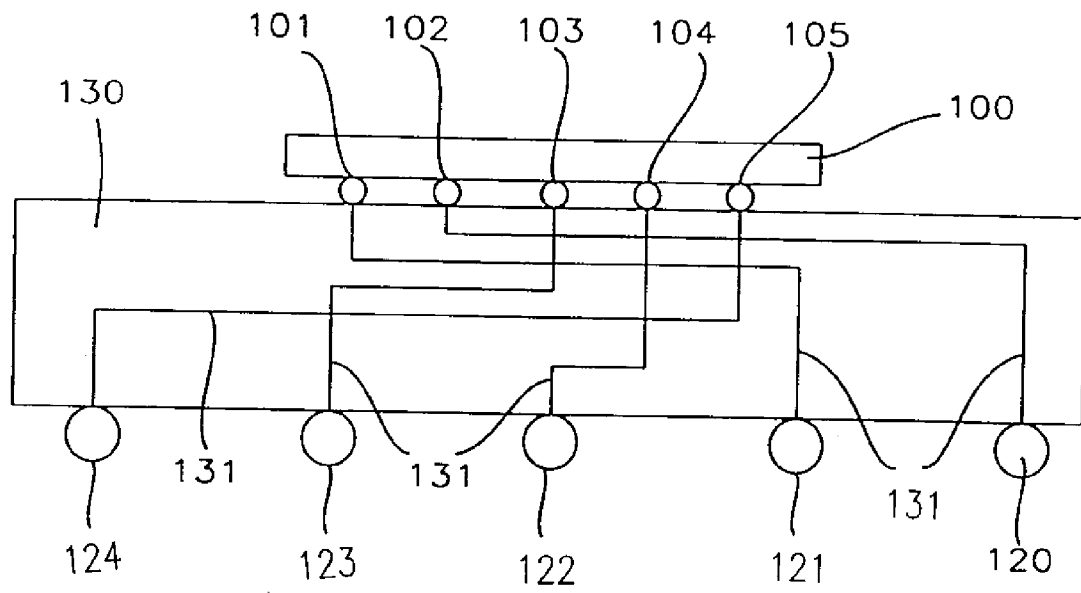
第 7 圖



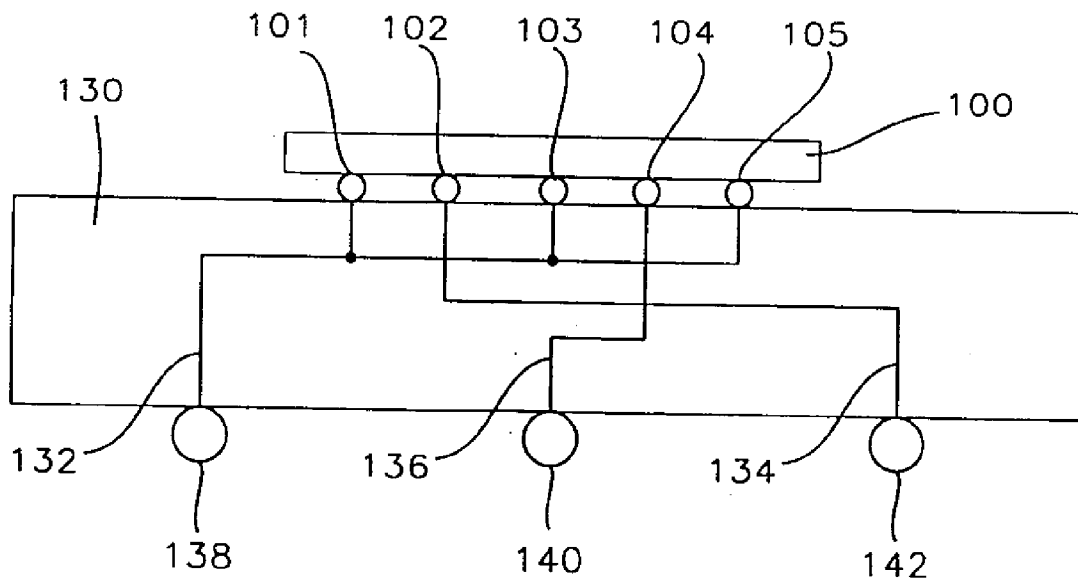
第 8 圖



第 9 圖



第 10 圖



第 11 圖